

Docket No.: 67161-148

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Katsuhiro UESUGI, et al. : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: April 12, 2004 : Examiner:
For: SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-363562(P), filed on October 23, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: April 12, 2004

67161-148
Katsuhiro, YOSHII, et al
April 12, 2004

日本国特許庁 *McDermott, Will & Emery*
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 Date of Application: 2003年10月23日

出願番号 Application Number: 特願2003-363562

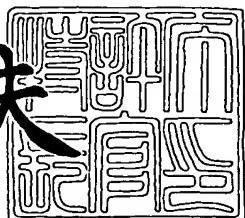
[ST. 10/C]: [JP2003-363562]

出願人 Applicant(s): 株式会社ルネサステクノロジ

2003年11月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3097710

【書類名】 特許願
【整理番号】 543912JP01
【提出日】 平成15年10月23日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/78
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
 【氏名】 上杉 勝洋
【発明者】
 【住所又は居所】 兵庫県伊丹市瑞原4丁目1番地 株式会社ルネサスセミコンダクタエンジニアリング内
 【氏名】 前田 清司
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
 【氏名】 田原 賢治
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
 【識別番号】 100064746
 【弁理士】
 【氏名又は名称】 深見 久郎
【選任した代理人】
 【識別番号】 100085132
 【弁理士】
 【氏名又は名称】 森田 俊雄
【選任した代理人】
 【識別番号】 100083703
 【弁理士】
 【氏名又は名称】 仲村 義平
【選任した代理人】
 【識別番号】 100096781
 【弁理士】
 【氏名又は名称】 堀井 豊
【選任した代理人】
 【識別番号】 100098316
 【弁理士】
 【氏名又は名称】 野田 久登
【選任した代理人】
 【識別番号】 100109162
 【弁理士】
 【氏名又は名称】 酒井 將行
【手数料の表示】
 【予納台帳番号】 008693
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1

●
【物件名】

図面 1

【物件名】

要約書 1

【書類名】特許請求の範囲**【請求項1】**

主表面を有する半導体基板と、
前記主表面上に形成された半導体素子と、

頂面と、前記頂面から前記主表面にまで連なる周縁とを有し、前記半導体素子を覆うよう
に前記主表面上に形成された層間絶縁膜とを備え、

前記層間絶縁膜には、前記半導体素子と前記周縁との間に位置して、前記主表面に対し
て平行に延在し、かつ互いに間隔を隔てて所定の方向に延びる帯状の第1および第2の溝部と、
前記第1および第2の溝部から枝分かれし、前記第1および第2の溝部が延びる方
向とは異なる方向に延びる複数の第3の溝部とが形成されており、さらに、

前記第1、第2および第3の溝部を充填する金属を備える、半導体装置。

【請求項2】

前記第3の溝部は、前記第1の溝部と前記第2の溝部との間に形成されている、請求項
1に記載の半導体装置。

【請求項3】

前記第3の溝部は、前記第1の溝部と前記第2の溝部とを連結している、請求項1または
2に記載の半導体装置。

【請求項4】

前記第1、第2および第3の溝部は、前記頂面から前記主表面にまで達している、請求
項1から3のいずれか1項に記載の半導体装置。

【請求項5】

前記第1および第2の溝部は、前記半導体素子が形成された領域を囲むように前記周縁
に沿って形成されている、請求項1から4のいずれか1項に記載の半導体装置。

【請求項6】

前記層間絶縁膜は、互いに種類が異なり、前記主表面上に順次形成された第1および第
2の部分を含む、請求項1から5のいずれか1項に記載の半導体装置。

【請求項7】

主表面を有する半導体基板と、

前記主表面上に形成された半導体素子と、

頂面と、前記頂面から前記主表面にまで連なる周縁とを有し、前記半導体素子を覆うよう
に前記主表面上に形成された層間絶縁膜とを備え、

前記層間絶縁膜には、前記半導体素子と前記周縁との間に位置して、前記主表面に対し
て平行に延在し、かつ所定の間隔ごとに互いに交差するように延びる帯状の第1および第
2の溝部が形成されており、さらに、

前記第1および第2の溝部を充填する金属を備える、半導体装置。

【請求項8】

前記第1および第2の溝部は、前記頂面から前記主表面にまで達している、請求項7に
記載の半導体装置。

【請求項9】

前記第1および第2の溝部は、前記半導体素子が形成された領域を囲むように前記周縁
に沿って形成されている、請求項7または8に記載の半導体装置。

【請求項10】

前記層間絶縁膜は、互いに種類が異なり、前記主表面上に順次形成された第1および第
2の部分を含む、請求項7から9のいずれか1項に記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

この発明は、一般的には、半導体装置に関し、より特定的には、半導体基板上に多層の層間絶縁膜が形成された半導体装置に関する。

【背景技術】

【0002】

従来、保護膜と機能配線との密着性を確保することを目的とした半導体ウェハおよびその製造方法が、特開平8-172062号公報に開示されている（特許文献1）。特許文献1に開示されている半導体ウェハでは、基板上の半導体装置領域に形成された機能配線と、ダイシング・ソーによって切断されるスクライブラインとの間に位置して、保護膜にスクライブラインに沿った周縁パターンが形成されている。このような周縁パターンを形成することによって、ダイシング・ソーによる切断時、スクライブラインに沿った保護膜の周縁に加わる力が、周縁パターンより内側に伝わることを防止できる。

【0003】

また別に、ウェハを切り分けて半導体チップを得る際の割れが電子素子領域の内部に浸入することを防止する半導体チップおよびその製造方法が、特開平3-30357号公報に開示されている（特許文献2）。さらに別に、チップの内部または周縁部においてスペッタ膜のカバーレージ不良に起因する膜剥がれを防止する半導体装置およびその製造方法が、特開平11-340167号公報に開示されている（特許文献3）。

【特許文献1】特開平8-172062号公報

【特許文献2】特開平3-30357号公報

【特許文献3】特開平11-340167号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

このように特許文献1に開示された半導体ウェハでは、ダイシング・ソーによる切断時のダメージを軽減するため、保護膜に周縁パターンを形成している。しかし、保護膜にダメージが及ぶのは、ダイシング・ソーによる切断時ののみではない。たとえば、半導体基板上に多層の層間絶縁膜を形成した場合、各々の層間絶縁膜が有する吸湿性や熱膨張率等の違いから、層間絶縁膜の内部または積層された層間絶縁膜の境界部においてクラックが発生する。また、半導体装置が高温、多湿の環境下で使用される場合、層間絶縁膜が水分を吸収することによってクラックが発生する。

【0005】

これらのクラックはまず大気に触れる層間絶縁膜の周縁で発生し、その後、層間絶縁膜の内部に向けて伝播するが、特許文献1に開示されている周縁パターンによってもこのクラックの伝播を確実に止めることはできない。このため、クラックが半導体装置の内部にまで達し、半導体装置の信頼性に悪影響を与えるという問題が発生する。また、特許文献2に開示された半導体チップおよび特許文献3に開示された半導体装置によっても、このような問題は解決されるものではない。

【0006】

そこでこの発明の目的は、上記の課題を解決することであり、層間絶縁膜の周縁から内部に向けて伝播するクラックの進行を確実に止め、信頼性の高い半導体装置を提供することである。

【課題を解決するための手段】

【0007】

この発明に従った半導体装置は、主表面を有する半導体基板と、主表面上に形成された半導体素子と、半導体素子を覆うように主表面上に形成された層間絶縁膜とを備える。層間絶縁膜は、頂面と、頂面から主表面にまで連なる周縁とを有する。層間絶縁膜には、半

導体素子と周縁との間に位置して、主表面に対して平行に延在し、かつ互いに間隔を隔てて所定の方向に延びる帯状の第1および第2の溝部と、第1および第2の溝部から枝分かれし、第1および第2の溝部が延びる方向とは異なる方向に延びる複数の第3の溝部とが形成されている。半導体装置は、さらに、第1、第2および第3の溝部を充填する金属を備える。

【発明の効果】

【0008】

この発明に従えば、層間絶縁膜の周縁から内部に向けて伝播するクラックの進行を確実に止め、信頼性の高い半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0009】

この発明の実施の形態について、図面を参照して説明する。

【0010】

(実施の形態1)

図1は、この発明の実施の形態1における半導体装置が取り出される半導体ウェハを示す斜視図である。図1を参照して、半導体ウェハ100は、シリコン基板と、シリコン基板上に形成された半導体素子とから構成されている。半導体ウェハの表面には、ダイシングライン110が格子状に形成されている。ダイシングソーを用いて、半導体ウェハ100をダイシングライン110に沿って切断することによって、半導体ウェハ100からチップ状の半導体装置101が取り出される。

【0011】

図2は、図1中の矢印I—I線上に沿った断面図である。図2を参照して、図1中の半導体ウェハ100から取り出された半導体装置101の所定の一断面が示されている。半導体装置101は、平面的に矩形形状を有し、その外形をなす周縁54は、図1中のダイシングライン110に沿った切断面によって構成されている。2点鎖線52に囲まれたメモリセル領域には、半導体素子としてのメモリセルが形成されている。

【0012】

図3は、図2中の矢印III—II线上に沿った断面図である。図4は、図2中の矢印IV—IV线上に沿った断面図である。図2から図4を参照して、シリコン基板1の主表面1a上には、層間絶縁膜2および3が順次形成されている。層間絶縁膜2は、主表面1aに形成され、メモリセル領域に位置する図示しないメモリセルを覆っている。層間絶縁膜2および3は、互いに種類が異なり、吸湿性や熱膨張率に差を有する材料からそれぞれ形成されている。層間絶縁膜2および3を形成する材料としては、たとえば、TEOS (tetra ethyl ortho silicate)、BPTEOS、FSG (F-doped silicate glass)、リン(P)またはボロン(B)が所定の濃度でドープされたシリコン酸化膜、およびシリコン窒化膜などが挙げられる。

【0013】

層間絶縁膜3は、主表面1aに対して平行に延在する頂面53を有する。層間絶縁膜2および3は、その頂面53から主表面1aに向けて延びる周縁54を有する。層間絶縁膜2および3には、2点鎖線52に囲まれたメモリセル領域に位置して、頂面53から主表面1aに達するホール31が形成されている。ホール31は、複数形成されており、マトリクス状に配置されている。ホール31の内部は、タンゲステン(W)またはアルミニウム(A1)などからなる金属膜32によって充填されている。

【0014】

層間絶縁膜2および3には、2点鎖線52に囲まれたメモリセル領域の外側に位置して、溝11mおよび11nが形成されている。溝11nは、矩形形状に延在する周縁54に沿って延びている。溝11mは、溝11nの内側において、溝11nに対して平行に延びている。溝11mと溝11nとは、所定の間隔を隔てて形成されている。溝11mおよび11nは、メモリセル領域を囲むように形成されている。

【0015】

層間絶縁膜2および3には、溝11mと溝11nとの間に位置して、溝11pが形成されている。溝11pは、間隔を隔てて複数形成されており、溝11mと溝11nとを接続している。溝11pは、接続する溝11mおよび11nが延びる方向に直交方向に延びている。溝11m、11nおよび11pの内部は、タンクステンまたはアルミニウムなどからなる金属膜12m、12nおよび12pによってそれぞれ充填されている。溝11m、11nおよび11pの内部は、ホール31を充填する金属膜32と同一材料によって充填されている。溝11m、11nおよび11pを充填する金属膜12m、12nおよび12pによって、メモリセル領域を囲むシールリング(seal ring)が構成されている。このシールリングは、元々、防湿機構として設けられており、周縁54から吸収された湿気が半導体装置101に悪影響を与えることを防止している。

【0016】

層間絶縁膜3の頂面53上には、金属膜32に接触するようにメタル配線33が複数形成されている。層間絶縁膜3の頂面53上には、金属膜12mおよび12nに接触するように、メタル配線13mおよび13nがそれぞれ形成されている。メタル配線13mおよび13nは、図2に示す金属膜12mおよび12nが延在するラインに沿って形成されている。メタル配線33、13mおよび13nは、タンクステンまたはアルミニウムなどによって形成されている。

【0017】

層間絶縁膜3上には、メタル配線33、13mおよび13nを覆うように、TEOSなどからなる層間絶縁膜4が形成されている。層間絶縁膜4には、メタル配線33に達するホール34が形成されている。層間絶縁膜4には、メタル配線13mおよび13nに達する溝14mおよび14nがそれぞれ形成されている。溝14mおよび14nは、平面的に溝11mおよび11nと重なる位置にそれぞれ形成されている。ホール34ならびに溝14mおよび14nの内部は、タンクステンまたはアルミニウムなどからなる金属膜35、15mおよび15nによってそれぞれ充填されている。層間絶縁膜4には、メタル配線13mおよび13nと、金属膜15mおよび15nとによって、メモリセル領域を囲むシールリングがさらに構成されている。

【0018】

層間絶縁膜4の頂面上には、金属膜35に接触するようにメタル配線36が複数形成されている。層間絶縁膜4の頂面上には、金属膜15mおよび15nに接触するように、メタル配線16mおよび16nがそれぞれ形成されている。メタル配線16mおよび16nは、図2に示す金属膜12mおよび12nが延在するラインに沿って形成されている。メタル配線36、16mおよび16nは、タンクステンまたはアルミニウムなどによって形成されている。

【0019】

層間絶縁膜4上には、メタル配線36、16mおよび16nを覆うように、TEOSなどからなる層間絶縁膜5が形成されている。層間絶縁膜5には、メタル配線36に達するホール37が複数形成されている。層間絶縁膜5には、メタル配線16mおよび16nに達する溝17mおよび17nがそれぞれ形成されている。溝17mおよび17nは、平面的に溝11mおよび11nと重なる位置にそれぞれ形成されている。ホール37ならびに溝17mおよび17nの内部は、タンクステンまたはアルミニウムなどからなる金属膜38、18mおよび18nによってそれぞれ充填されている。層間絶縁膜5には、メタル配線16mおよび16nと、金属膜18mおよび18nとによって、メモリセル領域を囲むシールリングがさらに構成されている。

【0020】

層間絶縁膜5の頂面上には、金属膜38に接触するようにメタル配線39が複数形成されている。層間絶縁膜5の頂面上には、金属膜18mおよび18nに接触するように、メタル配線19mおよび19nがそれぞれ形成されている。メタル配線19mおよび19nは、図2に示す金属膜12mおよび12nが延在するラインに沿って形成されている。メタル配線39、19mおよび19nは、タンクステンまたはアルミニウムなどによって形

成されている。

【0021】

層間絶縁膜5の頂面上には、メタル配線39、19mおよび19nを覆うように、たとえばポリイミドからなる保護膜6が形成されている。なお、図示しないが、保護膜6には、メタル配線39、19mおよび19nなどに電気的に接続された複数の電極が形成されている。

【0022】

図5から図8は、図3中の半導体装置の製造方法の工程を示す断面図である。以下、図5から図8および図3を参照して、図3中の半導体装置の製造方法について説明する。

【0023】

図5を参照して、シリコン基板1の主表面1a上に、互いに異なる材料からなる層間絶縁膜2および3を順次堆積する。図6を参照して、層間絶縁膜2および3に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって、主表面1aに達するホール31ならびに溝11m、11nおよび11pを形成する。ホール31ならびに溝11m、11nおよび11pを充填するように金属膜を堆積し、ホール31ならびに溝11m、11nおよび11pの内部に金属膜32、12m、12nおよび12pをそれぞれ形成する。

【0024】

相対的に大きい面積を有する部分と相対的に小さい面積を有する部分とを同時にエッチングする場合、一般的には、相対的に大きい面積を有する部分の方がエッチングされやすい。このため、相対的に大きい面積を有する溝と、相対的に小さい面積を有するホールとを同時にエッチングする場合、両者の間でエッチングレートに差が生じてしまう。上述の工程では、溝11mおよび11nをホール31と同時にエッチングしているが、溝11mと溝11nとは、間隔を隔てて形成されている。このため、溝11mおよび11nの2倍の溝幅を有する1つの溝を形成する場合と比較して、本実施の形態の方がエッチングの制御性に優れている。

【0025】

図7を参照して、層間絶縁膜3の頂面53上に所定形状を有するメタル配線33、13mおよび13nを形成する。メタル配線33、13mおよび13nを覆うように層間絶縁膜4を形成する。

【0026】

図8を参照して、層間絶縁膜4に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって、メタル配線33、13mおよび13nに達するホール34ならびに溝14mおよび14nを形成する。ホール34ならびに溝14mおよび14nの内部に、金属膜35、15mおよび15nをそれぞれ形成し、さらに、層間絶縁膜4の頂面上に所定形状を有するメタル配線36、16mおよび16nを形成する。メタル配線36、16mおよび16nを覆うように層間絶縁膜5を形成する。

【0027】

図3を参照して、層間絶縁膜5に所定のフォトリソグラフィ工程およびエッチング工程を行なうことによって、メタル配線36、16mおよび16nに達するホール37ならびに溝17mおよび17nを形成する。ホール37ならびに溝17mおよび17nの内部に、金属膜38、18mおよび18nをそれぞれ形成し、さらに、層間絶縁膜5の頂面上に所定形状を有するメタル配線39、19mおよび19nを形成する。メタル配線39、19mおよび19nを覆うように保護膜6を形成する。以上の工程により、図3中に示す半導体装置が完成する。

【0028】

なお、本実施の形態における半導体装置101では、各層間絶縁膜の頂面上に形成されたメタル配線が、メモリセル領域を囲むシールリングの一部を構成している。このため、たとえば図8に示す工程において、メタル配線13mおよび13nに達する溝14mおよび14nを形成すれば、上下層で連続するシールリングを形成することができる。この場

合、層間絶縁膜3の頂面53に露出する金属膜12mおよび12nに達する溝14mおよび14nを形成する場合と比較して、フォトリソグラフィ工程時のマスクずれが問題となりにくい。このため、溝14mおよび14nを形成する際のフォトリソグラフィ工程を容易に行なうことができる。

【0029】

この発明の実施の形態1における半導体装置101は、主表面1aを有する半導体基板としてのシリコン基板1と、主表面1a上に形成された半導体素子としてのメモリセルと、メモリセルを覆うように主表面1a上に形成された層間絶縁膜2および3とを備える。層間絶縁膜2および3は、頂面53と、頂面53から主表面1aにまで連なる周縁54とを有する。層間絶縁膜2および3には、メモリセルと周縁54との間に位置して、主表面1aに対して平行に延在し、かつ互いに間隔を隔てて所定の方向に延びる帯状の第1および第2の溝部としての溝11mおよび11nと、溝11mおよび11nから枝分かれし、溝11mおよび11nが延びる方向とは異なる方向に延びる複数の第3の溝部としての溝11pとが形成されている。半導体装置101は、さらに、溝11m、11nおよび11pを充填する金属膜12m、12nおよび12pを備える。

【0030】

溝11pは、溝11mと溝11nとの間に形成されている。溝11pは、溝11mと11nとを連結している。溝11m、11nおよび11pは、頂面53から主表面1aにまで達している。溝11mおよび11nは、メモリセルが形成された領域（2点鎖線52に囲まれた領域）を囲むように周縁54に沿って形成されている。層間絶縁膜は、互いに種類が異なり、主表面1a上に順次形成された第1および第2の部分としての層間絶縁膜2および3を含む。

【0031】

なお、本実施の形態では、溝11pを層間絶縁膜2および3の2層に設けたが、溝11pを層間絶縁膜4および5にまで延在させても良い。この場合、現状、層間絶縁膜2および3に形成されているシールリング構造が、層間絶縁膜2から5までの4層に構築されることとなる。

【0032】

このように構成された半導体装置101によれば、メモリセルと周縁54との間には、溝11m、11nおよび11pに金属膜が充填されることによってシールリングが形成されている。このため、周縁54で発生し、周縁54から2点鎖線52に囲まれたメモリセル領域に向かって伝播するクラックが、メモリセル領域にまで達することを防止できる。またこれにより、層間絶縁膜がシリコン基板1の主表面1a上から剥がれることを防止できる。

【0033】

図9は、図3中の半導体装置に発生したクラックの状態を示す断面図である。図2および図9を参照して、周縁54で発生したクラック41は、初め金属膜12nからなるシールリングに達する。この際、金属膜12nが抵抗となり、クラック41が伝播する力は弱められる。また、シールリングの一部は、金属膜12mおよび12nから枝分かれした金属膜12pによって構成されている。このため、層間絶縁膜2および3とシールリングとの接触面積は増大し、シールリングは、層間絶縁膜2および3に対して機械的に噛み合った状態で形成される。このようなアンカー効果によりシールリングは層間絶縁膜2および3中で確実に支持されるため、クラック41に対するシールリングの抵抗力を増大させることができる。以上の理由から、クラック41の進行は、金属膜12nと金属膜12mとの間の層間絶縁膜中で止まるか、金属膜12mからなるシールリング中で止まる。

【0034】

また本実施の形態では、溝11mと溝11nとは、溝11pによって接続されている。このため、金属膜12pが金属膜12nおよび12mを連結する形態で設けられている。これにより、上述のアンカー効果による効果を特に大きく得ることができる。

【0035】

また、溝11pは、溝11mと溝11nとの間に位置するため、シールリングは、溝11mと溝11nとの間の領域に形成されている。このため、シールリングを形成する面積を保ったまま、金属膜12pを設けたことによる上述の効果を得ることができる。これにより、半導体装置の小型化も同時に図ることができる。

【0036】

また、半導体装置101では、金属膜12m、12nおよび12pから構成されるシールリングが、層間絶縁膜3の頂面53から主表面1aまで連続して形成されている。さらに、このシールリングは、半導体装置101のメモリセル領域を完全に囲むように形成されている。これらの理由から、周縁54のいずれの位置でクラックが発生した場合にも、クラックがメモリセル領域内にまで達することを確実に防止できる。

【0037】

なお、本実施の形態のように層間絶縁膜2および3が互いに異なる材料で形成されている場合、その吸湿性や熱膨張率などの違いから、層間絶縁膜2と層間絶縁膜3との境界部にクラックが発生しやすい。このため、本発明は、このような構成を備える半導体装置101において、特に有効に利用することができる。また一方で、半導体基板上に単層の層間絶縁膜が形成された半導体装置においても、水分を吸収した周縁からクラックが発生する場合がある。このため、本発明は、このような半導体装置においても、有効に利用することができる。

【0038】

(実施の形態2)

図10は、この発明の実施の形態2における半導体装置を示す断面図である。図10では、実施の形態1において図2に示した断面に相当する形状が表わされている。実施の形態2における半導体装置は、実施の形態1における半導体装置と基本的には同様の構造を備えるが、層間絶縁膜に形成されたシールリングの形状のみが異なる。以下、重複する構造については、説明を省略する。

【0039】

図10を参照して、層間絶縁膜2および3には、2点鎖線52に囲まれたメモリセル領域の外側に位置して、溝11mおよび11nと、溝11nと溝11mとの間でジグザグ状に延びる溝11pとが形成されている。溝11pは、所定の間隔ごとに溝11nと溝11mとを接続している。溝11pは、接続する溝11nおよび11mが延びる方向に斜め方向に延びている。

【0040】

このように構成された半導体装置によれば、実施の形態1に記載の効果と同様の効果を奏することができる。加えて、部分的には、周縁54からメモリセル領域に向けて3本のシールリングが形成されているため、この部分においてクラックの進行を止めるという効果をより大きく得ることができる。

【0041】

(実施の形態3)

図11は、この発明の実施の形態3における半導体装置を示す断面図である。図11では、実施の形態1において図2に示した断面に相当する形状が表わされている。実施の形態3における半導体装置は、実施の形態1における半導体装置と基本的には同様の構造を備えるが、層間絶縁膜に形成されたシールリングの形状のみが異なる。以下、重複する構造については、説明を省略する。

【0042】

図11を参照して、層間絶縁膜2および3には、2点鎖線52に囲まれたメモリセル領域の外側に位置して、溝11mおよび11nと、溝11nと溝11mとの間に位置し、溝11mおよび11nが延在する方向に直交方向に延びる複数の溝11pとが形成されている。溝11pは、溝11nおよび11mの双方から突出しており、一方の溝から突出する溝11pは、他方の溝に向けて延びている。溝11pは、溝11nおよび11mの双方から交互に所定の間隔を隔てて突出している。

【0043】

このように構成された半導体装置によれば、実施の形態1に記載の効果と同様の効果を奏することができる。

【0044】

なお、実施の形態1から3では、溝11pが溝11mと溝11nとの間に形成されている場合についてのみ説明したが、本発明はこれに限定されるものではない。溝11pは、溝11mおよび11nの外側に延びる形状を有していても良い。

【0045】

(実施の形態4)

図12は、この発明の実施の形態4における半導体装置を示す断面図である。図12では、実施の形態1において図2に示した断面に相当する形状が表わされている。実施の形態4における半導体装置は、実施の形態1における半導体装置と基本的には同様の構造を備えるが、層間絶縁膜に形成されたシールリングの形状のみが異なる。以下、重複する構造については、説明を省略する。

【0046】

図12を参照して、層間絶縁膜2および3には、2点鎖線52に囲まれたメモリセル領域の外側に位置して、溝61mが形成されている。溝61mは、メモリセル領域を囲むように周縁54に沿って延びている。層間絶縁膜2および3には、所定の間隔ごとに溝61mに交差する溝61nが形成されている。溝61nは、90度ずつ進行方向を変えながら、全体としては溝61mが延在する方向に延びている。溝61nは、溝61mが延在する方向に対して直交方向に溝61mに交差している。溝61mおよび61nの内部は、タンゲステンまたはアルミニウムなどからなる金属膜62mおよび62nによってそれぞれ充填されている。溝61mおよび61nを充填する金属膜62mおよび62nが、メモリセル領域を囲むシールリングを構成している。

【0047】

この発明の実施の形態4における半導体装置は、主表面1aを有する半導体基板としてのシリコン基板1と、主表面1a上に形成された半導体素子としてのメモリセルと、メモリセルを覆うように主表面1a上に形成された層間絶縁膜2および3とを備える。層間絶縁膜2および3は、頂面53と、頂面53から主表面1aにまで連なる周縁54とを有する。層間絶縁膜2および3には、メモリセルと周縁54との間に位置して、主表面1aに対し平行に延在し、かつ所定の間隔ごとに互いに交差するように延びる帯状の第1および第2の溝部としての溝61mおよび61nが形成されている。半導体装置は、さらに、溝61mおよび61nを充填する金属としての金属膜62mおよび62nを備える。

【0048】

溝61mおよび61nは、頂面53から主表面1aにまで達している。溝61mおよび61nは、メモリセルが形成された領域を囲むように周縁54に沿って形成されている。層間絶縁膜は、互いに種類が異なり、主表面1a上に順次形成された第1および第2の部分としての層間絶縁膜2および3を含む。

【0049】

このように構成された半導体装置によれば、メモリセルと周縁54との間には、溝61mおよび61nに金属膜が充填されることによってシールリングが形成されている。溝61mと溝61nとが交差することによって、この溝61mおよび61nを充填する金属膜62mおよび62nは、層間絶縁膜2および3に対して機械的に噛み合った状態で形成されることとなる。このため、シールリングは、既に述べたアンカー効果を得ることができる。したがって、本実施の形態における半導体装置においても、実施の形態1に記載の効果と同様の効果を奏することができる。

【0050】

また、金属膜62mおよび62nから構成されるシールリングは、層間絶縁膜3の頂面53から主表面1aまで連続して形成されている。さらに、このシールリングは、半導体装置のメモリセル領域を囲むように形成されている。このため、これらに起因する効果に

関しても、実施の形態1に記載の効果と同様の効果を奏することができる。

【0051】

さらに、実施の形態1に記載の理由から、本発明に関しても、層間絶縁膜2および3が互いに異なる材料で形成されている半導体装置において、特に有効に利用することができる。また一方で、半導体基板上に単層の層間絶縁膜が形成された半導体装置においても、本発明を有効に利用することができる。

【0052】

(実施の形態5)

図13は、この発明の実施の形態5における半導体装置を示す断面図である。図13では、実施の形態1において図2に示した断面に相当する形状が表わされている。実施の形態5における半導体装置は、実施の形態4における半導体装置と基本的には同様の構造を備えるが、層間絶縁膜に形成されたシールリングの形状のみが異なる。以下、重複する構造については、説明を省略する。

【0053】

図13を参照して、層間絶縁膜2および3には、2点鎖線52に囲まれたメモリセル領域の外側に位置して、周縁54に沿って延びる溝61mと、所定の間隔ごとに溝61mに交差する溝61nとが形成されている。溝61nは、ジグザグ状に延びて形成されており、溝61mが延在する方向に対して斜め方向に溝61mに交差している。

【0054】

このように構成された半導体装置によれば、実施の形態4に記載の効果と同様の効果を奏することができる。

【0055】

(実施の形態6)

図14は、この発明の実施の形態6における半導体装置を示す断面図である。図14では、実施の形態1において図2に示した断面に相当する形状が表わされている。実施の形態6における半導体装置は、実施の形態4における半導体装置と基本的には同様の構造を備えるが、層間絶縁膜に形成されたシールリングの形状のみが異なる。以下、重複する構造については、説明を省略する。

【0056】

図14を参照して、層間絶縁膜2および3には、2点鎖線52に囲まれたメモリセル領域の外側に位置して、それぞれジグザグ状に延びる溝61mおよび61nが形成されている。溝61mおよび61nは、同一形状を有するが、互いにずれて形成されている。このため、溝61mと溝61nとは、所定の間隔ごとに交差している。

【0057】

このように構成された半導体装置によれば、実施の形態4に記載の効果と同様の効果を奏することができる。

【0058】

(実施の形態7)

図15は、この発明の実施の形態7における半導体装置を示す断面図である。図15では、実施の形態1において図2に示した断面に相当する形状が表わされている。実施の形態7における半導体装置は、実施の形態4における半導体装置と基本的には同様の構造を備えるが、層間絶縁膜に形成されたシールリングの形状のみが異なる。以下、重複する構造については、説明を省略する。

【0059】

図15を参照して、層間絶縁膜2および3には、所定の間隔ごとに互いに交差する溝61mおよび61nが形成されている。溝61mおよび61nは、互いに交差することによって、蜂巣状のハニカム構造を構成している。

【0060】

このように構成された半導体装置によれば、実施の形態4に記載の効果と同様の効果を奏することができる。加えて、溝61mおよび61nがハニカム構造を構成することによ

って、シールリングの強度および剛性を向上させることができる。

【0061】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0062】

【図1】この発明の実施の形態1における半導体装置を取り出される半導体ウェハを示す斜視図である。

【図2】図1中の矢印I—I線上に沿った断面図である。

【図3】図2中の矢印III—II线上に沿った断面図である。

【図4】図2中の矢印IV—IV線上に沿った断面図である。

【図5】図3中の半導体装置の製造方法の第1工程を示す断面図である。

【図6】図3中の半導体装置の製造方法の第2工程を示す断面図である。

【図7】図3中の半導体装置の製造方法の第3工程を示す断面図である。

【図8】図3中の半導体装置の製造方法の第4工程を示す断面図である。

【図9】図3中の半導体装置に発生したクラックの状態を示す断面図である。

【図10】この発明の実施の形態2における半導体装置を示す断面図である。

【図11】この発明の実施の形態3における半導体装置を示す断面図である。

【図12】この発明の実施の形態4における半導体装置を示す断面図である。

【図13】この発明の実施の形態5における半導体装置を示す断面図である。

【図14】この発明の実施の形態6における半導体装置を示す断面図である。

【図15】この発明の実施の形態7における半導体装置を示す断面図である。

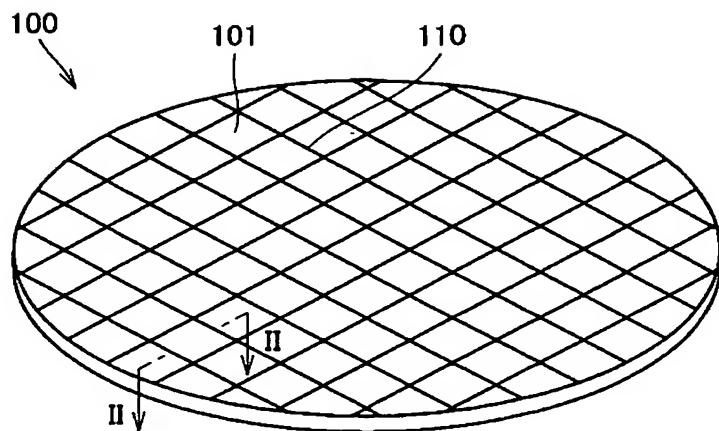
【符号の説明】

【0063】

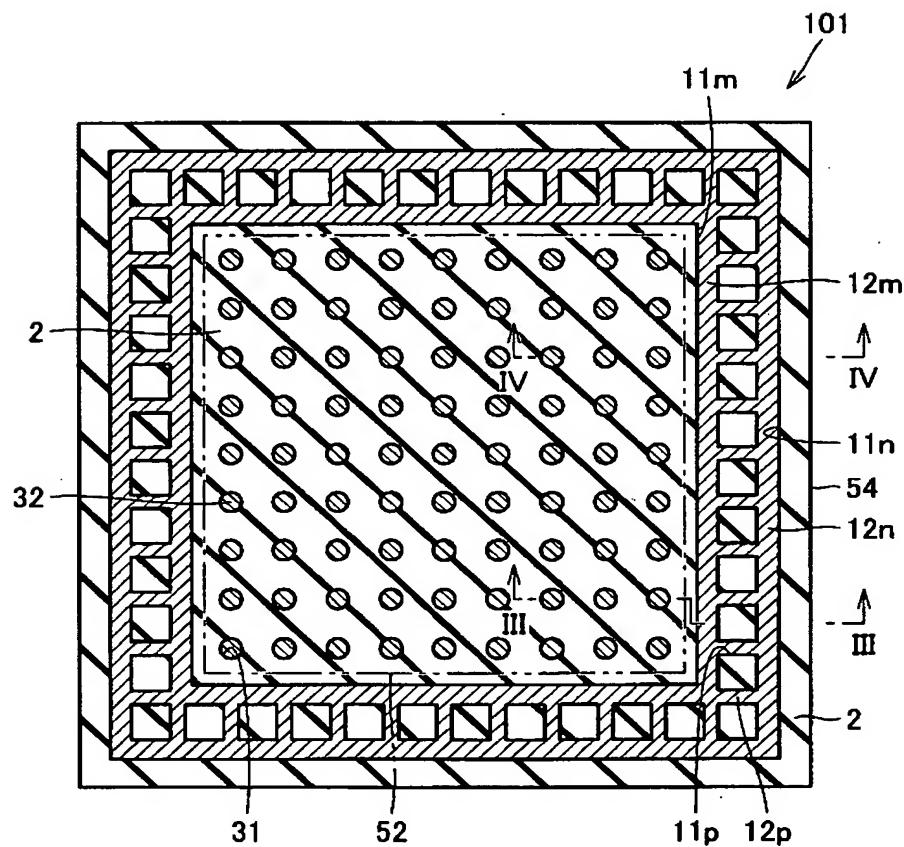
1 シリコン基板、1a 主表面、2, 3 層間絶縁膜、11m, 11n, 11p, 6
1m, 61n 溝、12m, 12n, 12p, 62m, 62n 金属膜、53 頂面、5
4 周縁、101 半導体装置。

【書類名】図面

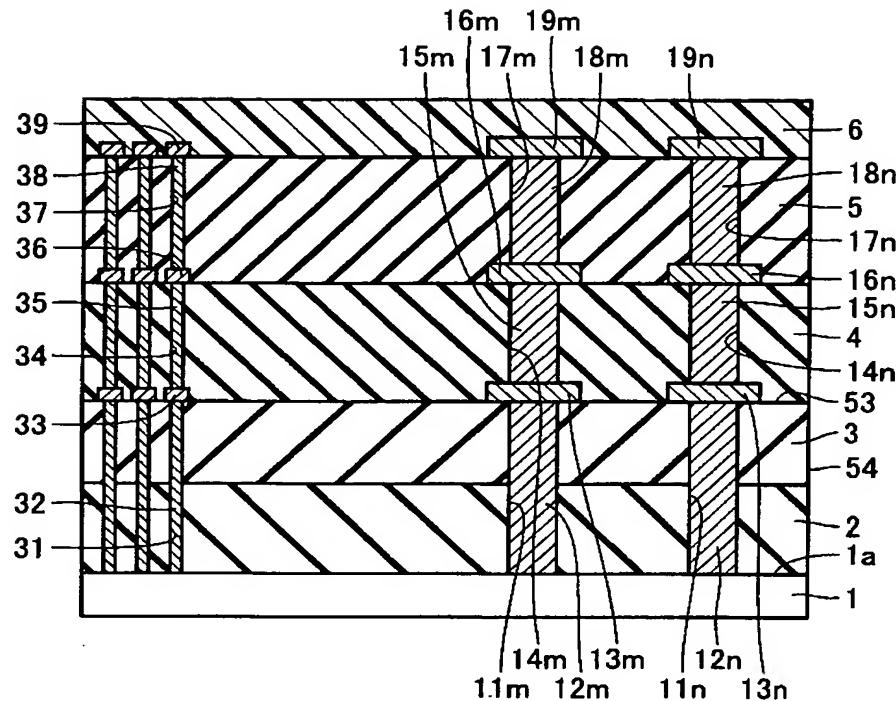
【図 1】



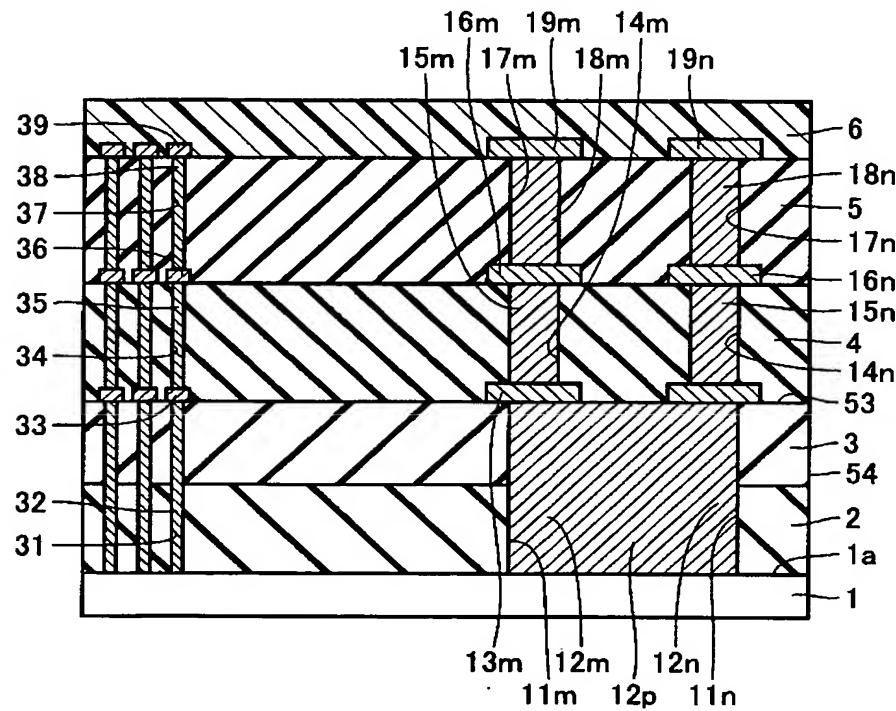
【図 2】



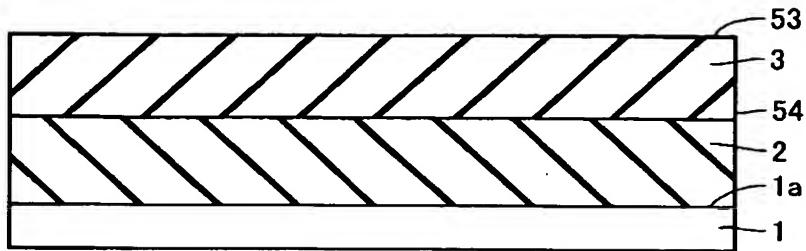
【図3】



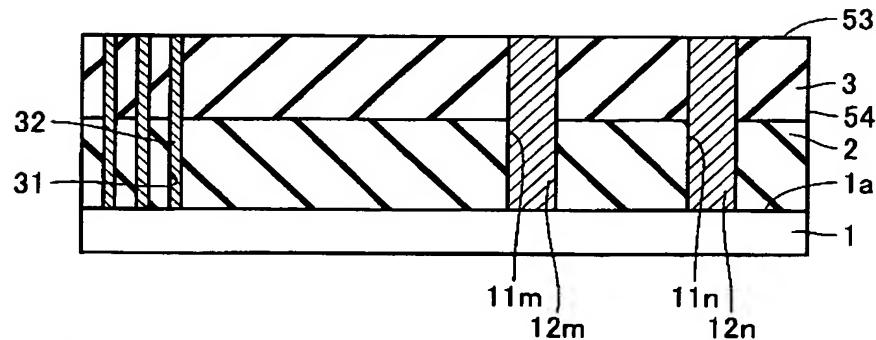
【図4】



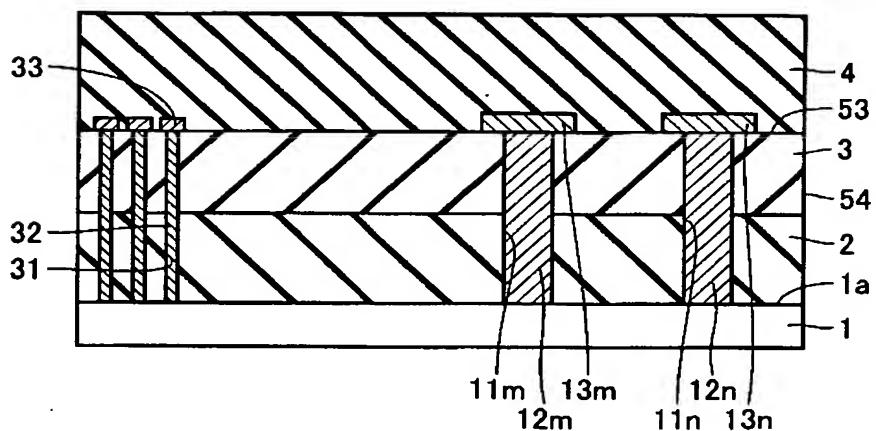
【図 5】



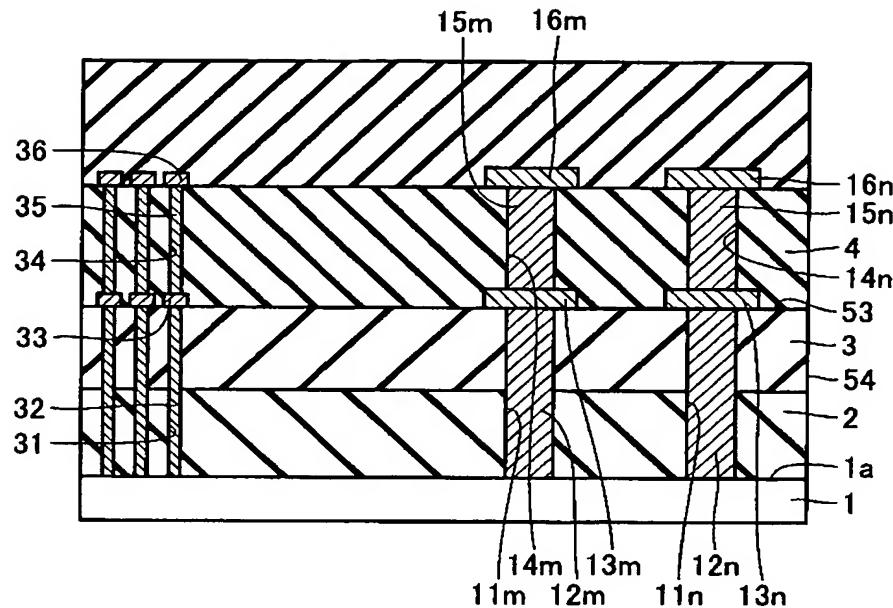
【図 6】



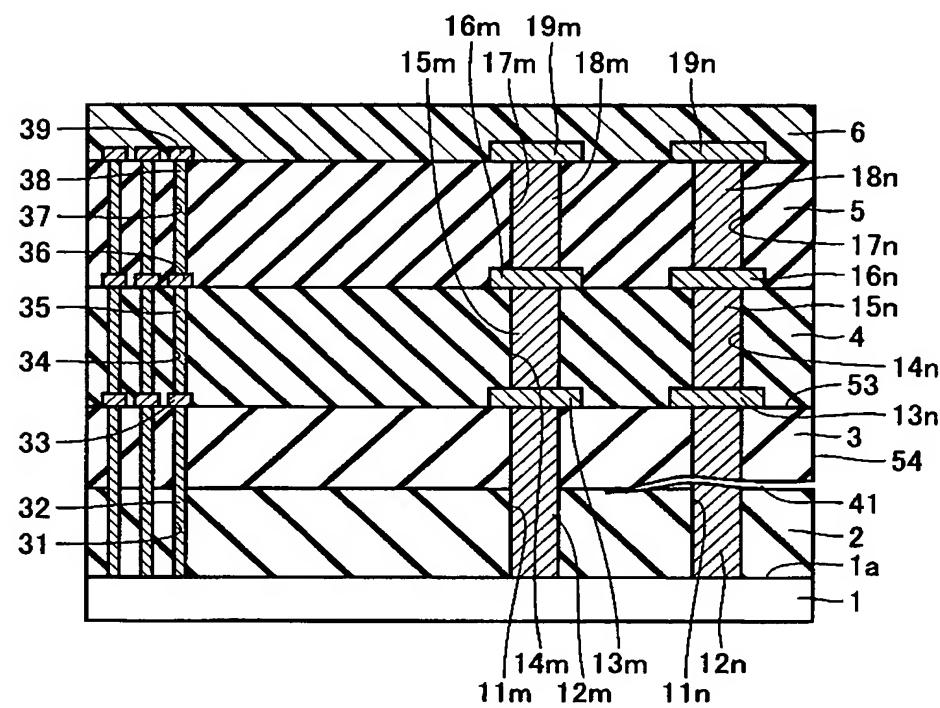
【図 7】



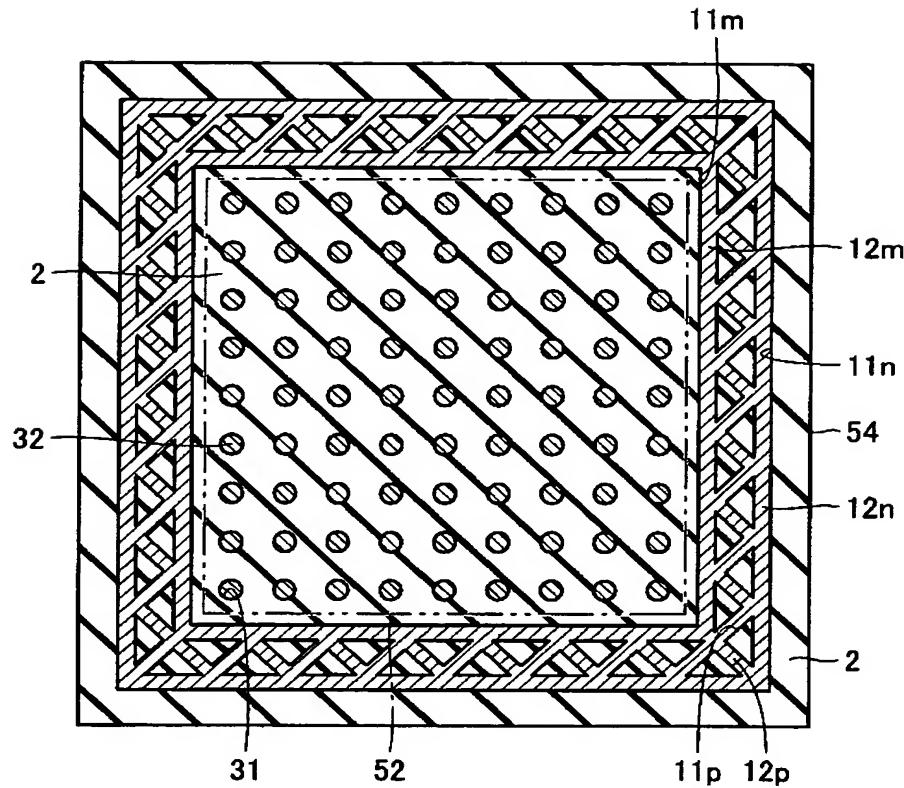
【図8】



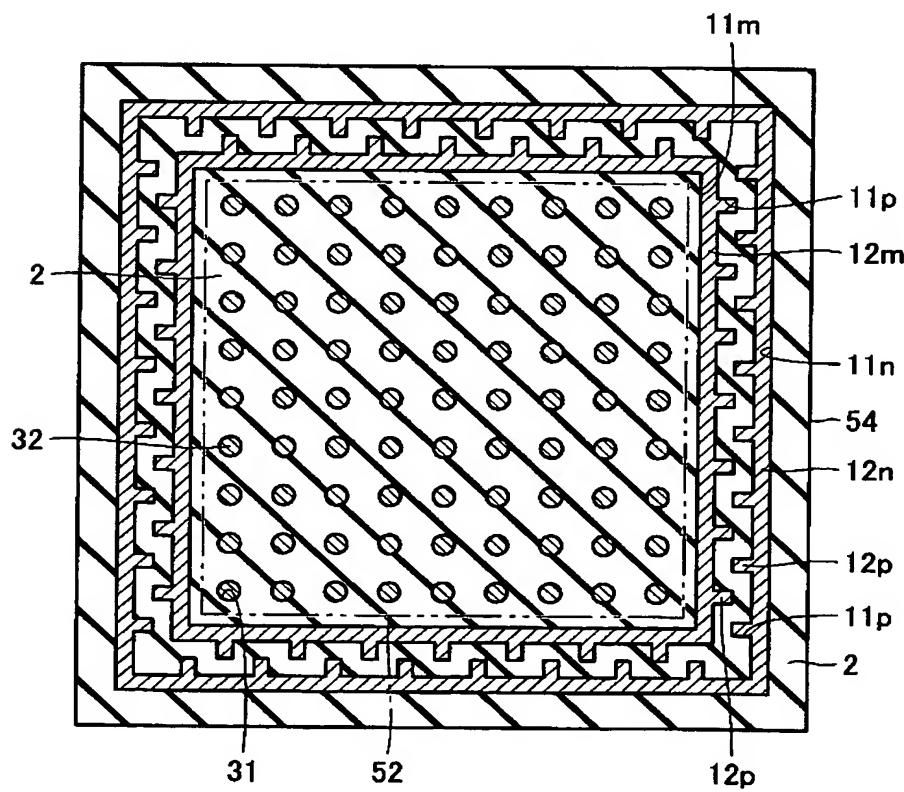
【図9】



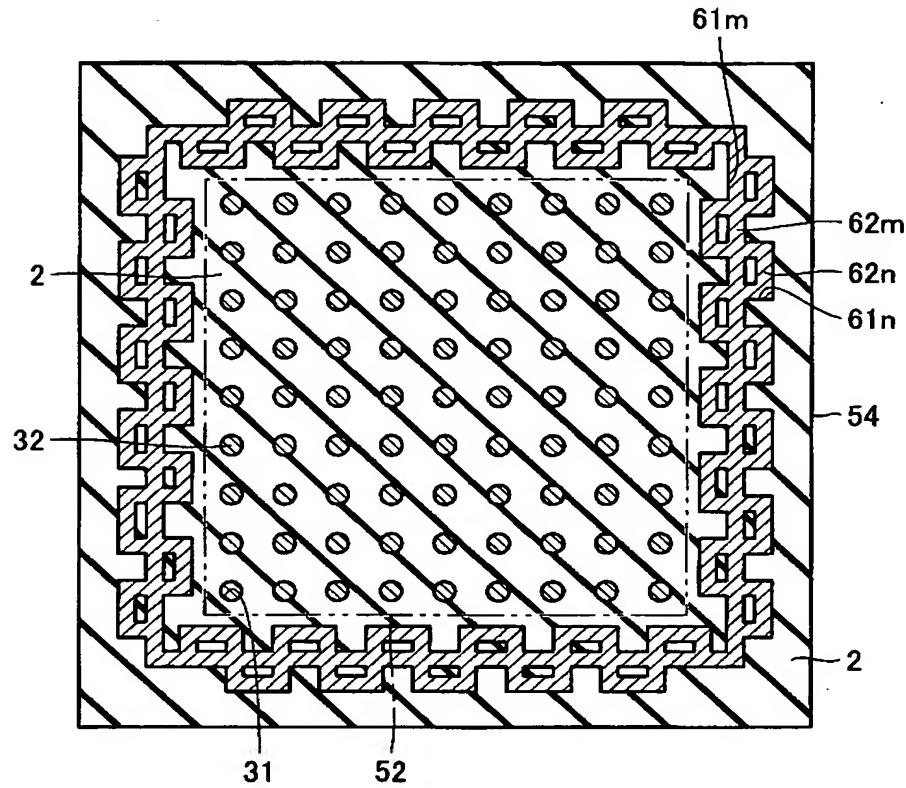
【図 10】



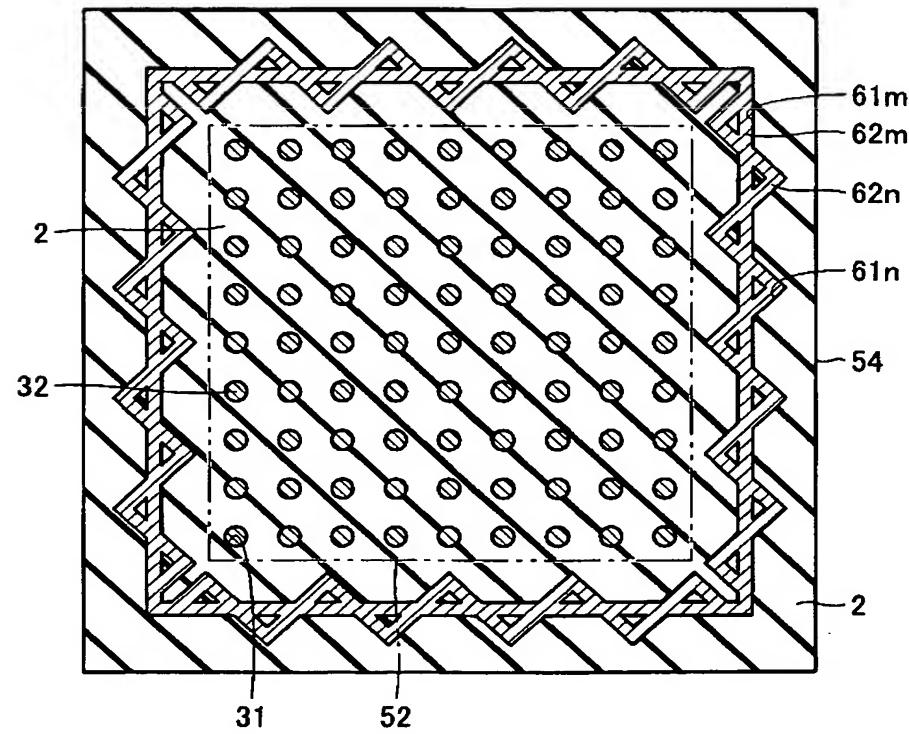
【図 11】



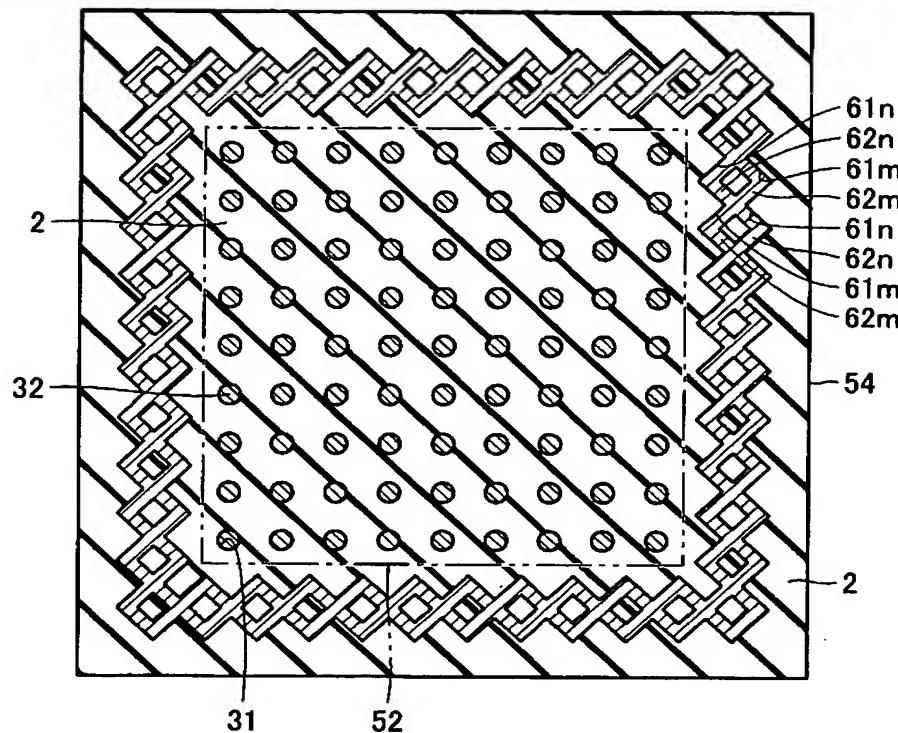
【図 1 2】



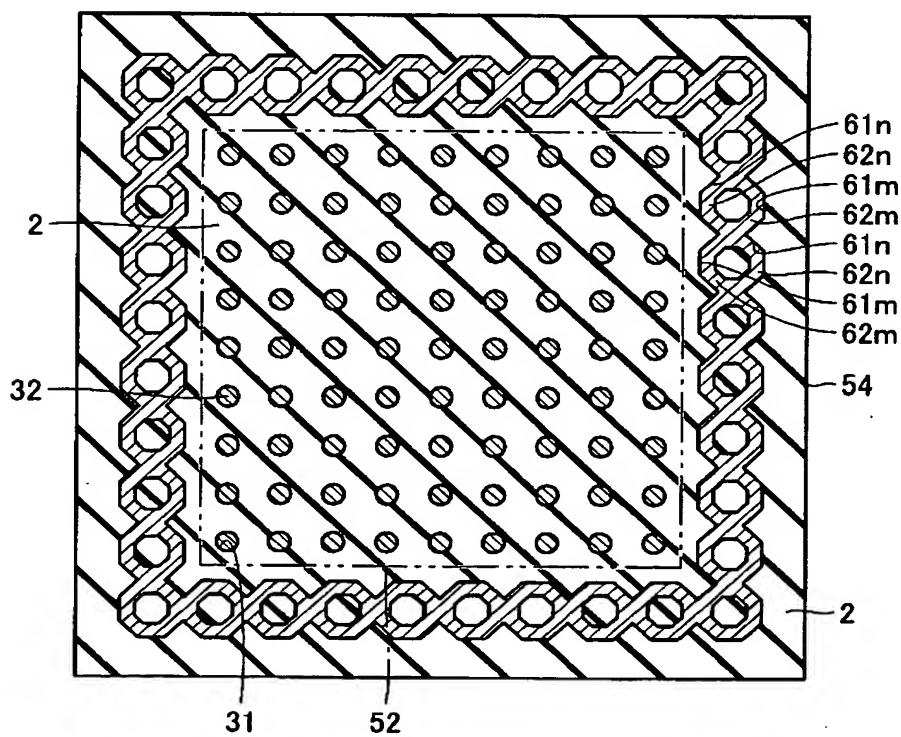
【図 1 3】



【図14】



【図15】



【書類名】要約書

【要約】

【課題】 層間絶縁膜の周縁から内部に向けて伝播するクラックの進行を確実に止め、信頼性の高い半導体装置を提供する。

【解決手段】 半導体装置101は、主表面を有するシリコン基板と、主表面上に形成されたメモリセルと、メモリセルを覆うように主表面上に形成された層間絶縁膜とを備える。層間絶縁膜は、頂面と、頂面から主表面にまで連なる周縁54とを有する。層間絶縁膜には、メモリセルと周縁54との間に位置して、主表面に対して平行に延在し、かつ互いに間隔を隔てて所定の方向に延びる溝11mおよび11nと、溝11mおよび11nから枝分かれし、溝11mおよび11nが延びる方向とは異なる方向に延びる溝11pとが形成されている。半導体装置101は、さらに、溝11m、11nおよび11pを充填する金属膜12m、12nおよび12pを備える。

【選択図】 図2

特願2003-363562

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日
[変更理由] 新規登録
住所 東京都千代田区丸の内二丁目4番1号
氏名 株式会社ルネサステクノロジ